

**MANUFACTURE OF THIN-FILM TRANSISTOR AND ACTIVE MATRIX SUBSTRATE, AND ELECTRO-OPTIC DEVICE**

Patent Number: JP2000353807  
Publication date: 2000-12-19  
Inventor(s): ABE HIROYUKI;; KOBASHI YUTAKA  
Applicant(s): SEIKO EPSON CORP  
Requested Patent: ☐ JP2000353807  
Application Number: JP19990165232 19990611  
Priority Number(s):  
IPC Classification: H01L29/786; H01L21/336; G02F1/1365; H01L21/20  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a TFT which is enhanced in transistor characteristics, even if a polycrystalline semiconductor film obtained by making an amorphous semiconductor undergo laser annealing process is used as an active layer, a method of manufacturing an active matrix substrate, and an electro-optic device provided with an active matrix substrate formed by this method.

**SOLUTION:** In a method of manufacturing an active matrix substrate used for an electro-optic device such as a liquid crystal panel, when an amorphous semiconductor film 100 formed on a substrate 30 is turned polycrystalline by laser annealing and formed into a TFT, an oxide film present on the surface of the semiconductor film 100 at the time when laser annealing is carried out is set to 1/50 or smaller than the thickness of a gate insulating film, and in a laser annealing process, every point on the surface of the semiconductor film 100 is irradiated 20 to 200 times with a laser beam.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-353807

(P2000-353807A)

(43) 公開日 平成12年12月19日(2000.12.19)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	ターミナル (参考)		
H 0 1 L	29/786	H 0 1 L	29/78	6 2 7	G 2H092
	21/336		21/20		5F052
G 0 2 F	1/1365	G 0 2 F	1/136	5 0 0	5F110
H 0 1 L	21/20				

審査請求 未請求 請求項の数 1 2 O L (全 2 0 頁)

(21) 出願番号 特願平11-165232

(22) 出願日 平成11年6月11日(1999.6.11)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 阿部 裕幸

長野県諏訪市大和3丁目3番5号 セイコー

エプソン株式会社内

(72) 発明者 小橋 裕

長野県諏訪市大和3丁目3番5号 セイコー

エプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

最終頁に続く

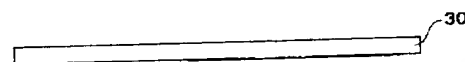
(54) 【発明の名称】 薄膜トランジスタの製造方法、アクティブマトリクス基板の製造方法、および電気光学装置

(57) 【要約】

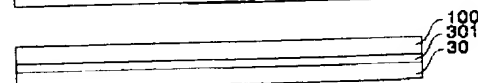
【課題】 非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた場合でも、良好なトランジスタ特性を有するTFTの製造方法、アクティブマトリクス基板の製造方法、およびこの方法で製造したアクティブマトリクス基板を用いた電気光学装置を提供すること。

【解決手段】 液晶パネルなどの電気光学装置に用いるアクティブマトリクス基板の製造方法において、基板30上に形成した非晶質の半導体膜100をレーザアニールによって多結晶化させてからTFTを製造する際に、レーザアニールを行う時点で半導体膜100の表面に存在している酸化膜の厚さをゲート絶縁膜の厚さの1/5以下とし、かつ、レーザアニール工程では、半導体膜100表面の1箇所につき20回～200回、レーザ光を照射する。

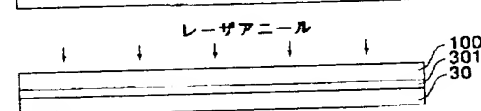
(A)



(B)



(C)



## 【特許請求の範囲】

【請求項1】 基板上に非晶質の半導体膜を形成する成膜工程と、該非晶質の半導体膜に対してレーザ光を照射して当該半導体膜を多結晶化するレーザアニール工程と、該多結晶性の半導体膜表面にゲート絶縁膜を形成するゲート絶縁膜形成工程とを有する薄膜トランジスタの製造方法において、

前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に存在している酸化膜の厚さを前記ゲート絶縁膜の厚さの1/5.0以下とするとともに、

前記レーザアニール工程では、前記半導体膜表面の1箇所につき20回以上、レーザ光を照射することを特徴とする薄膜トランジスタの製造方法

【請求項2】 請求項1において、前記レーザアニール工程では、前記半導体膜表面の少なくとも一部に対し1箇所につき8.0回以上、レーザ光を照射することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 請求項1において、前記レーザアニール工程では、前記半導体膜表面の少なくとも一部に対し1箇所につき2.00回以下のレーザ光の照射にとどめることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項1ないし3のいずれかにおいて、前記レーザアニール工程では、前記レーザ光としてラインビームを用い、該ラインビームの長手方向と直交する方向に当該ラインビームの照射領域を部分的に重ねながら前記半導体膜表面にレーザ光を照射していることを特徴とする薄膜トランジスタの製造方法。

【請求項5】 請求項1ないし4のいずれかにおいて、前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/5.0以下とするとともに、前記成膜工程の後、前記レーザアニール工程を行う前に、前記非晶質の半導体膜の表面に形成されている酸化膜を除去するエッチング工程を行うことを特徴とする薄膜トランジスタの製造方法

【請求項6】 請求項5において、前記エッチング工程では、前記非晶質の半導体膜の表面に対してフッ化水素を含むエッチング液を用いたウェットエッチングを行うことを特徴とする薄膜トランジスタの製造方法

【請求項7】 請求項5において、前記エッチング工程では、前記非晶質の半導体膜の表面に対してフッ素を含むエッチング液を用いたドライエッチングを行うことを特徴とする薄膜トランジスタの製造方法。

【請求項8】 請求項5ないし7のいずれかにおいて、前記エッチング工程を行った後、前記レーザアニール工程を行うまでの間に前記半導体膜が酸素含有雰囲気中に晒される暴露時間をT時間とし、前記ゲート絶縁膜の厚さを $t$ 、ウェットコートしたときに前記暴露時間と前記ゲート絶縁膜の厚さは、以下の式

$$T = t \times 1.5 \sim 0.0$$

を満たす関係にあることを特徴とする薄膜トランジスタの製造方法

【請求項9】 請求項1ないし4のいずれかにおいて、前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/5.0以下とするとともに、前記成膜工程の後、前記レーザアニール工程を行うまで前記非晶質の半導体膜の表面を非酸化性雰囲気中に保持することを特徴とする薄膜トランジスタの製造方法。

10 【請求項10】 請求項1ないし9のいずれかにおいて、前記レーザアニール工程は、酸素を含まない雰囲気中で行うことを特徴とする薄膜トランジスタの製造方法。

【請求項11】 請求項1ないし10のいずれかに規定する薄膜トランジスタの製造方法を用いて、電気光学装置のアクティブマトリクス基板上に少なくとも画素スイッチング用の薄膜トランジスタを製造することを特徴とするアクティブマトリクス基板の製造方法。

【請求項12】 請求項11に規定するアクティブマトリクス基板を用いたことを特徴とする電気光学装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた薄膜トランジスタ（以下、TFTという。）の製造方法、この製造方法を利用したアクティブマトリクス基板の製造方法、およびこの方法で製造したアクティブマトリクス基板を用いた電気光学装置に関するものである。

【0002】

30 【従来の技術】液晶ディスプレイのアクティブ素子等として用いられるTFTを製造するにあたっては、石英基板に代えて、安価なガラス基板を使用できるように低温プロセスが採用されつつある。低温プロセスとは、一般に、工程の最高温度（基板全体が同時に上がる最高温度）が600℃程度未満（好ましくは500℃未満）であるのに対して、高温プロセスとは工程の最高温度（基板全体が同時に上がる最高温度）が800℃程度以上になっており、シリコンの熱酸化等といった700℃～1200℃の高温の工程を行うものである。

【0003】但し、低温プロセスでは、基板の上に多結晶性の半導体膜を直接、形成するのは不可能であるため、プラズマCVD法あるいは低圧CVD法を用いて非晶質の半導体膜を形成した後、この半導体膜を結晶化する必要がある。この結晶化の方法としては、たとえばSPC法（Solid Phase Crystallization）やRTA法（Rapid Thermal Annealing）などといった手法があるが、XeClを用いたエキシマレーザービームを照射することによってレーザアニール（ELA: Excimer Laser Annealing）によればガラス基板温度が上昇が抑えられ、

かつ、大粒径の多結晶Siが得られるため、最近では主流になりつつある。

【0004】このレーザアニール法を用いた多結晶性の半導体膜の製造方法では、まず、図3(A)に示すように、超音波洗浄等により清浄化したガラス製等の基板30を準備した後、基板温度が約150℃から約450℃の温度条件下で、図3(B)に示すように、基板30の全面にシリコン酸化膜からなる下地保護膜301をプラズマCVD法により形成する。次に、基板温度が約150℃から約450℃の温度条件下で基板30の全面にアモルファスシリコン(非晶質)の半導体膜100をプラズマCVD法などの方法により形成する。次に、図3(C)に示すように、半導体膜100に対してレーザ光を照射してレーザアニールを施す。このレーザアニール工程では、たとえば、図4に示すように、レーザ光の照射領域しかX方向に長いラインビームLO(たとえば、レーザパルスの繰り返し周波数が200Hzのラインビーム)を半導体膜100に照射し、その照射領域をY方向にずらしていく。その結果、非晶質の半導体膜100は、一度熔融し、冷却固化過程を経て結晶化する。この際には、各領域へのレーザ光の照射時間が非常に短時間であり、かつ、照射領域も基板全体に対して局所的であるため、基板全体が同時に高温に熱せられることがない。

#### 【0005】

【発明が解決しようとする課題】しかしながら、レーザアニールによる結晶化は、結晶化した後、多結晶性の半導体膜において表面の凹凸が大きくなるという問題点がある。このような表面の凹凸が大きな半導体膜を用いてTFTを製造すると、ゲート耐圧が低下し、かつ、オフリーク電流が低減あるいは信頼性を向上する等の妨げとなる。

【0006】このような問題点を解消するため、例えば、公開平06-097196号公報には、非晶質の半導体膜の表面に酸化膜を形成した後、レーザを照射。その後、酸化膜を除去することで平滑な多結晶の半導体膜を得る方法が開示されている。しかしながら、この方法では、酸化膜を通してレーザを照射するので、酸化膜の厚さが増すとレーザの実効強度が低下する一方、酸化膜の厚さが中途半端であると多結晶化した後の半導体膜の表面において凹凸が甚しくなるという問題点がある。また、酸化膜を除去する際は、多結晶化した半導体膜、あるいは基板が損傷するという問題点もある。

【0007】一方、TFTを製造する際にゲート絶縁膜を厚くしてゲート耐圧を向上させる方法もあるが、ゲート絶縁膜を厚くすると、しきい値電圧がゲート絶縁膜の厚さに正比例相関を有するため、しきい値電圧が上昇してしまい、TFTのスイッチング電圧も高くなるという問題点がある。

【0008】以上の問題点に鑑みて、本発明の課題は、

非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた場合でも、良好なトランジスタ特性を有するTFTの製造方法、この製造方法を利用したアクティブマトリクス基板の製造方法、およびこの方法で製造したアクティブマトリクス基板を用いた電気光学装置を提供することにある。

#### 【0009】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に非晶質の半導体膜を形成する成膜工程と、該非晶質の半導体膜に対してレーザ光を繰り返して照射して該半導体膜を多結晶化するレーザアニール工程と、該多結晶性の半導体膜表面にゲート絶縁膜を形成するゲート絶縁膜形成工程とを有するTFTの製造方法において、前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に存在している酸化膜の厚さを前記ゲート絶縁膜の厚さの1/5以下とし、かつ、前記レーザアニール工程では、前記半導体膜表面の1箇所につき20回以上、レーザ光を照射することを持徴とする。

【0010】本発明者がレーザアニール前の非晶質の半導体膜の表面に酸化膜の厚さとレーザアニール後の多結晶性の半導体膜の表面の凹凸の大きさとの関係を繰り返し検討した結果、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さが薄ければ、レーザアニール後の多結晶性の半導体膜の表面において凹凸が小さくなるということができたという新たな知見を得た。また、本発明者が多結晶性の半導体膜の表面の凹凸とゲート絶縁膜の厚さとの関係を繰り返し検討した結果、多結晶性の半導体膜の表面の凹凸がゲート絶縁膜の厚みの1/5以下であれば、ゲート耐圧が大きく低下しないという新たな知見を得た。そこで、本発明では、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/5以下とすることによりレーザアニール工程を行った後の多結晶性の半導体膜の表面の凹凸の大きさをゲート絶縁膜の厚みの1/5以下とし、これにより、ゲート耐圧の低下を10%以内に収める。また、レーザアニール工程において、レーザ光を繰り返して照射する際は、その照射回数が20回未満では、レーザアニールを開始する時点で半導体膜表面に酸化膜がなくなり、凹凸を十分に小さくできない傾向があるという知見を得た。そこで、本発明では、レーザアニール工程でレーザ光の照射回数を20回以上に設定し、レーザアニール工程を行った後の多結晶性の半導体膜の表面に発生する凹凸を小さく抑える。従って、非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた場合でも、しきい値電圧およびゲート耐圧などの面で良好なトランジスタ特性を有するTFTを製造できる。

【0011】本発明において、前記レーザアニール工程

ては、前記半導体膜表面の1箇所につき80回以上、レーザ光を照射することが好ましい。

【0012】本発明において、前記レーザアニール工程では、前記半導体膜表面の1箇所につき200回以下のレーザ光の照射にとどめることが好ましい。レーザアニール工程でレーザ光を繰り返し照射する際に、その照射回数が多いほど、半導体膜の結晶化度が向上してTFTの $\mu$ 、電流が向上するが、ある回数でピークを示した後、200回を超えると、TFTの $\mu$ 、電流が低下する傾向にある。従って、本発明では、レーザアニール工程でレーザ光の照射回数を200回以下にとどめることにより、 $\mu$ 、電流の大きなTFTを製造することが好ましい。

【0013】本発明において、前記レーザアニール工程でレーザ光を繰り返し照射するにあたっては、前記レーザ光としてラインビームを用い、該ラインビームの長手方向と直交する方向に当該ラインビームの照射領域を部分的に重ねながら前記半導体膜表面にレーザ光を照射していくことが好ましい。たとえば、ラインビームの照射領域の幅が $500\mu\text{m}$ であれば、 $2.5\mu\text{m}$ ピッチでラインビームをずらしていっただけで半導体膜の1箇所からみれば、レーザ光が200回、照射されたことになる。また、 $2.5\mu\text{m}$ ピッチでラインビームをずらしていったら、半導体膜の1箇所からみればレーザ光が約80回、照射されたことになる。

【0014】本発明において、前記アニール工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/50以下とするにあたっては、たとえば、前記成膜工程の後、前記レーザアニール工程を行う前に、前記非晶質の半導体膜の表面に形成されている酸化膜を除去するエッチング工程を行う。本発明において、このエッチング工程では、たとえば、前記非晶質の半導体膜の表面に対してフッ化水素を含むエッチング液を用いたウェットエッチングを行う。また、エッチング工程では、前記非晶質の半導体膜の表面に対してフッ素を含むエッチングガスを用いたドライエッチングを行ってもよい。ここで、前記エッチング工程を行った後、前記レーザアニール工程を行うまでの間に前記半導体膜が酸素含有雰囲気中に晒される暴露時間をT時間とし、前記ゲート絶縁膜の厚さを $t_0$ （ $\mu\text{m}$ ）としたときに前記暴露時間と前記ゲート絶縁膜の厚さは、以下の式

$$T \leq t_0/500$$

【0015】を満たす関係にあることが好ましい。エッチング工程により酸化膜を除去した後の半導体膜表面において、酸化膜の成長スピードは、大気中では $\sim 50$ Å/分程度、酸素雰囲気では通常、最大で10Å/分程度であるので、ゲート絶縁膜の厚さを $t_0$ （ $\mu\text{m}$ ）

（ $\mu\text{m}$ ）とすると、表面酸化膜の許容厚さは $t_0/50$ （ $\mu\text{m}$ ）以下である。従って、エッチング工程で酸化膜を除去した後の大気中での暴露時間は、 $t_0/50 \times 60 = t_0/500$ （時間）を守ればよい。

【0016】本発明において、前記アニール工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/50以下とするにあたっては、前記成膜工程の後、前記レーザアニール工程を行うまで、前記非晶質の半導体膜の表面を非酸化性雰囲気中保持し、酸化性雰囲気中晒さない方法を用いてもよい。

【0017】本発明において、前記レーザアニール工程は、非酸化性雰囲気中で行うことが好ましい。

【0018】このようなTFTの製造方法は、たとえば、電気光学装置のアクティブマトリクス基板上に少なくとも画素スイッチング用のTFTを製造するのに利用できる。

#### 【0019】

【発明の実施の形態】以下に、図面を参照して本発明の各実施の形態を説明するが、その前に各形態で共通な内容（TFTの構造およびその基本的な製造方法）を説明しておく。

【0020】（TFTの構成）図1および図2はそれぞれ、TFTの平面図および断面図である。ここに示すTFTは、上述する液晶装置（電気光学装置）のアクティブマトリクス基板上に画素スイッチング用のTFTとして形成される。すなわち、図1にアクティブマトリクス基板上に構成される画素群のうちの一つの一部の画素領域を抜き出して示すように、マトリクス上に複数の透明なITO（Indium Tin Oxide）膜からなる画素電極8が形成されており、これら各画素電極8に対して画素スイッチング用のTFT10がそれぞれ接続している。また、画素電極8の縦横の境界に沿って、データ線90、走査線91および容量線92が形成され、TFT10は、データ線90および走査線91に対して接続している。すなわち、データ線90は、コンタクトホールを介してTFT10のソース領域16に電気的に接続し、画素電極8は、コンタクトホールを介してTFT10のドレイン領域17に電気的に接続している。また、TFT10のチャネル形成領域15に対向するように走査線91が伸びている。なお、保持容量40は、画素スイッチング用TFT10を形成するためのシリコン膜10a（半導体膜）に斜線を付した領域（図1に斜線を付した領域）を導電化したものを下電極41とし、この下電極41に容量線92が上電極として重なった構造になっている。

【0021】このように構成した画素領域のA-A'線（図1に示すように）における断面は、図2に示すように表される。この図が

らわかるように、アクティブマトリクス基板11の基体たる透明な基板30の表面に絶縁性の「地保護膜301が形成され、この地保護膜301の表面には、島状のシリコン膜10a、10aが形成されている。シリコン膜10aの表面には、厚さが約1000オングストロームのゲート絶縁膜13が形成され、このゲート絶縁膜13の表面に走査線91がゲート電極として通っている。シリコン膜10aのうち、走査線91に対してゲート絶縁膜13を介して対峙する領域がチャネル形成領域15になっている。このチャネル形成領域15に対して一方側には、低濃度ソース領域161および高濃度ソース領域162を備えるソース領域16が形成され、他方側には低濃度ドレイン領域171および高濃度ドレイン領域172を備えるドレイン領域17が形成されている。

【0022】このように構成された画素アレイ用TFT10の表面側には、第1層間絶縁膜18および第2層間絶縁膜19が形成され、第1層間絶縁膜18の表面に形成されたデータ線90は、第1層間絶縁膜18に形成されたコンタクトホールを介して高濃度ソース領域162に電気的に接続している。第1層間絶縁膜18の表面にはデータ線90と同時に形成されたドレイン電極14が形成され、このドレイン電極14は、第1層間絶縁膜18に形成されたコンタクトホールを介して高濃度ドレイン領域172に電気的に接続している。また、第2層間絶縁膜19の表面には画素電極8が形成され、この画素電極8は、第2層間絶縁膜19に形成されたコンタクトホールを介してドレイン電極14に電気的に接続している。ここで、第2層間絶縁膜19はポリシラン窒素膜を焼成して得た下層層間絶縁膜191と、CVD法により形成されたシリコン酸化膜からなる上層層間絶縁膜192とから二層構造になっている。画素電極8の表面側にはシリコン酸化膜や有機膜からなる表面保護膜45が形成され、この表面保護膜45の表面にポリイミド膜からなる配向膜46が形成されている。この配向膜46は、ポリイミド膜に対してラビング処理が施された膜である。

【0023】なお、高濃度ドレイン領域172から延設されたシリコン膜10aには高濃度領域からなる下電極11が形成されている。この下電極11に対しては、ゲート絶縁膜13と同時に形成された絶縁膜（誘電体膜）を介して容量線92が対峙している。このようにして保持容量40が形成されている。

【0024】ここで、TFT10は、好ましくは上述のようにLDD（ライトドーピング）構造をもち、低濃度ソース領域161および高濃度ドレイン領域171に相当する領域に不純物イオンの打ち込みが行われてオフセット構造を有していてもよい。また、TFT10は、走査線91をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソースおよびドレイン領域を形成したセルフアライン型TFTである。

ってもよい。なお、本形態では、TFT10のゲート電極（走査線91）をソースドレイン領域の間に1個のみ配置したシングルゲート構造としたが、これらの上に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート（ダブルゲート）或いはトリプルゲートによってTFT10を構成すれば、チャネルとソースドレイン領域の接合部でリーク電流を防止でき、オフ時の電流を低減することが出来る。これらのゲート電極のうち、とも1個をLDD構造或いはオフセット構造にすれば、さらにオフ電流を低減でき、安定したスイッチング素子を得ることが出来る。

【0025】「TFTの製造方法」このような構成のTFT10を製造する方法を、図3ないし図8を参照して説明する。図3、図5、図6、図7および図8は、本形態のアクティブマトリクス基板11の製造方法を示す工程断面図であり、いずれの図においても、図1のA-A'線における断面に相当する。但し、ここでは画素用TFT10の製造方法のみについて説明することとし、保持容量40などの製造方法を説明および図示を省略する。図1は、レーザーアレイ装置の概略構成図である。

【0026】ガラス基板11にTFTを製造するには、まず、ガラス基板を変形させることなく、ガラス基板上に多結晶性の半導体膜を形成する必要がある。このような制約で多結晶性半導体膜を形成するには、図3（A）に示すように、超音波洗浄等により精製したガラス製の基板30を準備した後、基板温度が約150°Cから約150°Cの温度条件下で、図3（B）に示すように、基板30の全面にシリコン酸化膜からなる「地保護膜301」をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばモノシランと酸素ガスの混合ガスやTEOSと酸素、あるいはシランとアジモニアを用いることができる。

【0027】次に、基板温度が約150°Cから約450°Cの温度条件下で基板30の全面にアモルファスシリコン膜からなる半導体膜100をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばジシランやモノシランを用いることができる（成膜工程）。

【0028】次に、図3（C）に示すように、半導体膜100に対してレーザー光を照射してレーザーアレイを施す（レーザーアレイ工程）。

【0029】レーザーアレイの工程では、図4に示すように、レーザー光の照射領域がX方向（走査方向）に狭いライン（ライン10）で、これは、レーザー光の波長（照射波長が200nm）のライン（ライン2）を半導体膜100に照射する。その結果、アモルファス半導体膜100は、一度熔融し、冷却固化過程を経て結晶化する。この際には、各領域のレーザー光の照射時間が非常に短時間であり、かつ、照射領域も基板全体に対して局所的であるため、基板全体が同時に高温に加熱されることが

ない。それ故、基板30として用いたガラス基板は、石英基板と比較して耐熱性の面で劣るが、熱による変形や割れ等が生じない。

【0030】図4に示すアニール装置300では、アモルファマシリン膜からなる半導体膜100が形成されたガラス製の基板30を載置するX-Yステージ310と、レーザー光源320と、このレーザー光源320から射出されたレーザー光をステージ310上に載置された基板30に向けてラインビームL0として出射、集光する光学系330とを有している。ここに示す例では、ラインビームL0の照射領域は約300mmの寸法でX方向に延びており、基板30の全面にレーザーアニールを行うには、X-Yステージ310がY方向に移動していくことになる。

【0031】ここで、ラインビームの照射領域の幅寸法が500 $\mu$ mであれば、2.5 $\mu$ mピッチでラインビームをずらしていったら半導体膜100の1箇所からみれば、レーザー光が200回、照射されたことになる。また、2.5 $\mu$ mピッチでラインビームをずらしていったら、半導体膜100の1箇所からみればレーザー光が20回、照射されたことになり、6 $\mu$ mピッチでラインビームをずらしていったら、半導体膜100の1箇所からみればレーザー光が約80回、照射されたことになる。

【0032】次に、図5(A)に示すように、半導体膜100の表面にプラズマアッシング技術を用いてレジストマスク551を形成する。

【0033】次に、レジストマスク551を介して半導体膜100をパターンニングし、図5(B)に示すように、島状の半導体膜101(能動層)を形成する。

【0034】次に、図5(C)に示すように、350℃以下の温度条件で、CVD法などにより半導体膜101の表面に厚さが約1000 $\text{\AA}$ のシリコンの酸化膜からなるゲート絶縁膜13を形成する(ゲート絶縁膜形成工程)。このときの原料ガスは、たとえばTEOSと酸素ガスとの混合ガスを用いることができる。ゲート絶縁膜13としてシリコン窒化膜を用いてもよい。

【0035】次に、図5(D)に示すように、ゲート電極などを形成するためのタングスタム膜910を絶縁基板30全面に形成した後、プラズマアッシング技術を用いてレジストマスク552を形成する。

【0036】次に、レジストマスク552を介してタングスタム膜910をパターンニングし、図5(E)に示すように、走査線91(ゲート電極)をマスクとして、約 $0.1 \times 10^{13} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ のドーパント量で低濃度の不純物イオン(リンイオン)の打ち込みを行い、画素TFT部の側にはゲート電極に対して自己整合的

に低濃度のソース領域161および低濃度のドレイン領域171を形成する。ここで、ゲート電極の真上は位置しているため、不純物イオンが導入されなかった部分は半導体膜のままチャンネル領域15となる。

【0038】次に、図6(B)に示すように、画素TFT部では、ゲート電極より幅の広いレジストマスク553を形成して高濃度の不純物イオン(リンイオン)を約 $0.1 \times 10^{13} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ のドーパント量で打ち込み、高濃度のソース領域162およびドレイン領域172を形成する。このようにして、図6

(C)に示すように、低濃度ソース領域161および高濃度ソース領域162を備えるソース領域16を形成し、低濃度ドレイン領域171および高濃度ドレイン領域172を備えるドレイン領域17を形成する。

【0039】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行わずにゲート電極より幅の広いレジストマスク553を形成した状態で高濃度の不純物(リンイオン)を打ち込み、サブセリ構造のソース領域およびドレイン領域を形成してもよい。また、ゲート電極の上を高濃度の不純物(リンイオン)を打ち込み、セルフアライン構造のソース領域およびドレイン領域を形成してもよいことは勿論である。

【0040】また、図示を省略するが、周辺駆動回路のPチャンネルTFT部を形成するため、前記画素部およびNチャンネルTFT部をレジストで被覆保護してゲート電極をマスクとして、約 $0.1 \times 10^{13} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ のドーパント量でホロイオンを打ち込むことにより、自己整合的にPチャンネルソース・ドレイン領域を形成する。なお、NチャンネルTFT部の形成時と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{13} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ のドーパント量で低濃度の不純物(ボロイオン)を導入して、ボロシリコン膜に低濃度領域を形成した後、ゲート電極より幅の広いマスクを形成して高濃度の不純物(ホロイオン)を約 $0.1 \times 10^{13} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ のドーパント量で打ち込み、LDD構造のソース領域およびドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物(リンイオン)を打ち込み、サブセリ構造のソース領域およびドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への集積が可能となる。

【0041】次に、図6(D)に示すように、走査線91の表面側に、CVD法などにより、酸化シリコン膜やN<sub>2</sub>O膜、ボロンやリンを含まないシリケートガラス膜などからなる第1層間絶縁膜18を3000 $\text{\AA}$ のシリコン～15000 $\text{\AA}$ のシリコン程度厚の膜厚で形成した後、プラズマアッシング技術を用いて、第1層間絶縁膜18にコンタクトホールや切開用孔を形成する

10

20

30

40

50

ためのレジストマスク554を形成する。

【0042】次に、レジストマスク554を介して第1の層間絶縁膜18にエッチングを行い、図6(E)に示すように、第1の層間絶縁膜18のうち、ソース領域162およびドレイン領域172に対応する部分にコンタクトホールをそれぞれ形成する。

【0043】次に、図7(A)に示すように、第1の層間絶縁膜18の表面側に、ソース電極などを構成するためのアルミニウム膜900をスパッタ法などで形成した後、フォトリソグラフィ技術を用いて、レジストマスク555を形成する。

【0044】次に、レジストマスク555を介してアルミニウム膜900にエッチングを行い、図7(B)に示すように、ソース領域162にコンタクトホールを介して電気的に接続するアルミニウム膜からなるソース電極(ゲータ線90の一部)と、ドレイン領域172にコンタクトホールを介して電気的に接続するドレイン電極14とを形成する。

【0045】次に、図7(C)に示すように、ソース電極90およびドレイン電極14の表面側に、シリコンホリシランまたはこれを含む組成物の塗布膜を焼成した層間絶縁膜191を形成する。さらに、この層間絶縁膜191の表面に、TEOSを用いたCVD法によりたとえば400℃程度の温度条件下で厚さが約500ナノメートル〜約1500ナノメートルのシリコン酸化膜からなる上層側層間絶縁膜192を形成する。これらの層間絶縁膜191、192によって、第2の層間絶縁膜19が形成される。ここで、ホリシランラザとは無機ホリシランラザの一種であり、大気中で焼成することによってシリコン酸化膜に転化する塗布型コーティング材料である。たとえば、東燃(株)製のホリシランラザは、 $-(SiH_2NH)_n$ を単位とする無機ポリマーであり、キシレンなどの有機溶剤に可溶である。従って、この無機ポリマーの有機溶媒溶液(たとえば、20%キシレン溶液)を塗布液としてスピンコート法(たとえば、2000rpm、20秒間)で塗布した後、450℃の温度で大気中で焼成すると、水分や酸素と反応し、CVD法で成膜したシリコン酸化膜と同等以上の致密的なアモルファスのシリコン酸化膜を得ることができる。従って、この方法で成膜した層間絶縁膜191(シリコン酸化膜)はCVD法で形成した層間絶縁膜と同様の信頼性を有しているとともに、ドレイン電極14に起因する凹凸などを平坦化している。

【0046】次に、図7(D)に示すように、フォトリソグラフィ技術を用いて、絶縁膜18、19にコンタクトホールを形成するためのレジストマスク556を形成する。

【0047】次に、レジストマスク556を介して第2の層間絶縁膜19にエッチングを行い、図7(D)に示すように、ドレイン電極14に対応する部分にコンタク

トホールを形成する。

【0048】次に、図8(A)に示すように、第2の層間絶縁膜19の表面側に、厚さが約400ナノメートル〜約2000ナノメートルのITO膜80をスパッタ法などで形成した後、フォトリソグラフィ技術を用いて、ITO膜80をゲッターニングするためのレジストマスク557を形成する。

【0049】次に、レジストマスク557を介してITO膜80にエッチングを行って、図8(B)に示すように、ドレイン電極14に電気的に接続する画素電極8を形成する。

【0050】次に、図8(C)に示すように、画素電極8の表面側にシリコン酸化膜や有機膜からなる表面保護膜45を形成する。

【0051】次に、図8(D)に示すように、表面保護膜45の表面にホリイミド膜(配向膜46)を形成する。それには、アチルセロソルブやn-ブチルピロリドなどの溶媒に5〜10重量%のホリイミドやホリアミド酸を溶解させたホリイミド・ワニスを作成し印刷した後、加熱・硬化(焼成)する。そして、ホリイミド膜を形成した基板をレーザ系繊維からなるパイプで一定角度に傾け、ホリイミド分子を表面近傍で一定方向に配列させる。その結果、後で充填した液晶分子とホリイミド分子との相互作用により液晶分子が一定方向に配列する。

【0052】〔本発明の概要〕このようなTF-T10の製造方法において、図3(B)に示す成膜工程を行った後、図3(C)に示すレーザアニール工程を行うまでの間に非晶質の半導体膜100の表面に厚い酸化膜が形成されると、よほど厚いゲート絶縁膜13を形成しない限り、TF-T10のゲート電圧が低下する。

【0053】そこで、本形態では、以下に示す図9および図10に示す知見に基づいて、レーザアニール工程を行う時点でアモルファスの半導体膜100の表面状態を適正化し、レーザアニール後の多結晶性の半導体膜表面に大きな凹凸が形成されるのを防止する。

【0054】図9は、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さと、レーザアニール後の多結晶性の半導体膜の表面の凹凸の大きさとに関するグラフである。この図において、横軸は、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さ(単位:ナノメートル)であり、縦軸は、レーザアニール後の多結晶性の半導体膜の10μm角内における最大高低差(本説明書では、単に凹凸という)の単位:ナノメートルである。図9には、レーザアニール時のエネルギー密度条件を変えて得た測定結果のうち、グラフの傾きの最大の傾きと最小の傾きの2つの条件で得られた結果を示してある。この図は明らかに、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さが100ナノメートル以下の範囲では、レーザアニール



ル工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さが薄いほど、レーザアニール後の多結晶性の半導体膜の表面において凹凸が小さく抑えることができる。逆にいえば、酸化膜の厚さが10オングストローム～80オングストロームの範囲において、酸化膜の厚さが1オングストローム厚くなると、半導体膜表面の凹凸は10オングストローム～15オングストローム程度増大する。

【0055】図10は、多結晶性の半導体膜の表面の凹凸と、ゲート耐圧との関係を示すグラフである。この図において、横軸は、多結晶性の半導体膜表面の10 $\mu$ m角内の最大高低差（本願明細書では、単に凹凸という。1単位オングストローム）であり、縦軸はゲートリーク電流が規定値を示すときのゲート印加電圧の変化量（高低差 $\sim 0$ の時の値を取る100%とする）であり、多結晶性の半導体膜表面の凹凸が0のときのゲート耐圧を基準にしたときのゲート耐圧の低下率に相当する。ここで、ゲート絶縁膜は1000オングストロームに設定してあるので、この図から明らかなように、多結晶性の半導体膜の表面の凹凸が200オングストローム、すなわち、ゲート絶縁膜の厚みの1/5以下であれば、ゲート耐圧の低下を10%以内に抑えることができる。

【0056】ここで、多結晶性の半導体膜の表面の凹凸を200オングストローム以下に抑えるには、図9に示す結果からすれば、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さが約20オングストローム以下、すなわち、ゲート絶縁膜の厚みの1/5以下とすればよい。

【0057】そこで、本形態では、以下のようにして、レーザアニール工程を行う時点で非晶質の半導体膜100の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/5以下に制御し、かつ、アニール工程でのレーザ光の照射条件を適正化することにより、非晶質の半導体膜100を適正に多結晶化するとともに、レーザアニール工程を行った後、多結晶性の半導体膜100の表面の凹凸の大きさをゲート絶縁膜の厚みの1/5以下とすることにより、ゲート耐圧の低下を10%以内に収める。なお、ここでいう「レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜」とは、基板の搬送中あるいは、洗浄後の乾燥時等にて、真空中で自然に成長する自然酸化膜や、清浄なゲート表面を得るために酸蒸気中で自然に成長させたもの、あるいはCVD法で形成した酸化膜も含む意味である。

【0058】「実施形態1」本形態では、ステップの製造方法のうち、図3を参照して説明した多結晶性の半導体膜の製造工程を以下のように変更する。

【0059】まず、図3(A)に示すように、ガラス製の基板30を準備した後、温度が約150℃から約450℃の温度条件下で（図3(B)に示すように、基板

30の全面にシリコン酸化膜からなる下地保護膜301をプラズマCVD法により形成する。

【0060】次に、基板温度が約150℃から約450℃の温度条件下で基板30の全面に膜厚が300オングストローム～1500オングストローム、たとえば1000オングストロームのアモルファスシリコン膜からなる半導体膜100をプラズマCVDあるいは低温CVD法により形成する。

【0061】次に、成膜・搬送中に付着したゴミを除去するために純水とナイロンブラシでスクラブ洗浄を行ったあと、 $\text{NH}_4\text{OH}:\text{H}_2\text{O}::\text{H}_2\text{O}=1::2::250$ の溶液に5分間浸漬し、純水で10分間リンスを行う。

【0062】次に、 $\text{HF}(\text{フッ化水素酸}):\text{H}_2\text{O}=1::50$ のエキシージ液で30秒間～1分間、エキシージを行い、非晶質の半導体膜100の表面に形成されているシリコン酸化膜を完全に除去する（エキシージ工程）。

【0063】その後には、超音波振動を加えた純水槽で10分間リンスを行う。最後にスピンドル乾燥で水を切る。

【0064】その後、速やかに、たとえば1時間の内に、レーザアニール装置で、図3(C)に示すように、308nmの波長のレーザビームを、例えば、400mJ/cm<sup>2</sup>のエネルギー密度で照射する。ビーム形状は、適当な光学系で200mm $\times$ 4000 $\mu$ mとし、照射方向は所定のビーム径に達しながら基板全面に照射を行うレーザアニール工程。ここでいうレーザアニールは、真空中あるいは「活性ガス中」といった非酸化雰囲気中で行う。但し、なんらかの原因、例えば搬送システムの不具合により、 $\text{HF}:\text{H}_2\text{O}=1::50$ のエキシージ液によるエキシージ工程後、レーザアニール装置に入るまでの経過時間が2時間となった場合には再度、 $\text{HF}:\text{H}_2\text{O}=1::50$ のエキシージ液で30秒間～1分間のエキシージを行う。

【0065】すなわち、エキシージ工程を行った後、レーザアニール工程を行うまでの間に前記半導体膜が酸素含有雰囲気中に晒される暴露時間をT時間とし、前記ゲート絶縁膜の厚さをLオングストロームとしたときに前記暴露時間と前記ゲート絶縁膜の厚さは、以下の式

$$T \leq L/500$$

を満たす関係を維持する。すなわち、エキシージ工程により酸化膜を除去した後の半導体膜表面において、シリコン酸化膜の成長速度は、大気中では $\sim 50$ オングストローム/秒、真空中では通常、最大で10オングストローム/時間程度であるので、ゲート絶縁膜の厚さをLオングストロームとすると、表面酸化膜の許容厚さは $L/50$ （オングストローム）以下であるので、エキシージ工程で酸化膜を除去した後の大気中での暴露時間は、 $L/50 \sim 10$ 秒 $\sim 500$ （時間）が限界である。たとえば、ゲート絶縁膜の膜厚が1000オングストロームで

あれば、大気中での暴露を許容できる時間は2時間である。従って、エッチング工程の後、1時間以内にレーザーアニール工程を行うことが好ましい。

【0066】ここで、図11には、レーザーアニール工程でのレーザー光の照射条件（半導体膜表面の1箇所からみたときのレーザー光の照射回数）と、非晶質の半導体膜から多結晶性の半導体膜に相転移させた後の半導体表面の凹凸の大きさとの関係を示してある。

【0067】この図11には、レーザーアニール工程を行う時点で半導体膜100表面に酸化膜が存在しない場合におけるレーザー光の照射条件（半導体膜表面の1箇所からみたときのレーザー光の照射回数）と、多結晶性の半導体膜100に相転移させた後の半導体100表面の凹凸の大きさとの関係が実線L11を示し、レーザーアニール工程を行う時点で半導体膜100表面に厚い酸化膜（ゲート絶縁膜13の厚さの1/50倍以上の厚さの酸化膜）が存在している場合におけるレーザー光の照射条件（半導体膜表面の1箇所からみたときのレーザー光の照射回数）と、多結晶性の半導体膜に相転移させた後の半導体表面の凹凸の大きさとの関係を実線L12で示してある。

【0068】この図から明らかなように、レーザーアニール工程を行う時点で半導体膜100表面に厚い酸化膜（ゲート絶縁膜の厚さの1/50倍以上の厚さの酸化膜）が存在している場合には、レーザー光の照射回数を増やせば、多結晶に相転移した後の半導体膜100表面の凹凸が大きくなっていく傾向にある。

【0069】これに対して、レーザーアニール工程を行う時点で半導体膜100表面に酸化膜が存在しない場合には、レーザー光の照射回数が増えるほど、多結晶に相転移した後の半導体膜100表面の凹凸が小さくなり、レーザー光の照射回数が約200回のとき、多結晶に相転移した後の半導体膜100表面の凹凸が200オングストローム以下になる。但しレーザー光の照射回数が約600回～約800回を超えると、それ以上、照射回数を増やしても、凹凸はそれ以上、小さくならず、略一定となる。

【0070】従って、本形態では、アニール工程では、半導体膜100表面の1箇所につき200回以上、レーザー光を照射する。すなわち、ライゾームを2.5 $\mu\text{m}$ 以下のピッチで照射している。さらに、半導体膜100表面の1箇所につき800回以上、レーザー光を照射すれば、多結晶に相転移した後の半導体膜表面の凹凸を確実に200オングストローム以下に抑えることができる。すなわち、ライゾームを6 $\mu\text{m}$ 以下のピッチで照射している。

【0071】また、図12には、レーザーアニール工程を行う時点で半導体膜100表面に酸化膜が存在しない場合におけるレーザーアニール工程でのレーザー光の照射条件（半導体膜表面の1箇所からみたときのレーザー光の照射回数）と、非晶質の半導体膜100を相転移させた多結

晶性の半導体膜100の結晶度合いとの関係を示してある。ここで、非晶質の半導体膜100を相転移させた多結晶性の半導体膜100の結晶度合いは、この半導体膜100から形成したTFTのオン電流の大きさとして計測でき、オン電流が大きいほど半導体膜100の結晶度合いが高くて好ましいといえる。

【0072】図12に示すように、レーザー光の照射条件（半導体膜表面の1箇所からみたときのレーザー光の照射回数）を増やしていくと、TFTのオン電流が増大していくが、約110回～約120回をピークにして、その以上、レーザー光の照射回数を増やしていくと、TFTのオン電流が低下していく傾向にある。しかし、レーザー光の照射回数が200回を超えると、レーザーアニールを行わない場合よりも、オン電流が低下してしまふ。従って、本形態では、半導体膜100表面の1箇所からみたときのレーザー光の照射回数については、約200回以下にとどめる。すなわち、ライゾームを2.5 $\mu\text{m}$ 以下のピッチで照射している。

【0073】しるる後は、図5（A）、（B）に示すプラズマエッチング工程を行った後、図5（C）に示すゲート絶縁膜形成工程において、プラズマCVD法により膜厚が1000オングストロームのゲート絶縁膜13を形成する（ゲート絶縁膜形成工程）。

【0074】このように、本形態のTFTの製造方法では、アニール工程を行う前に半導体膜表面の酸化膜を除去する工程を行うことにより、非晶質の半導体膜の表面に存在している酸化膜の厚さをゲート絶縁膜の厚さの1/50以下とし、かつ、アニール工程では、半導体膜表面の1箇所につき約200回～約2000回、好ましくは約800回～約2000回、レーザー光を照射するように条件設定している。従って、レーザーアニールによって、非晶質の半導体膜を多結晶化させたときに、得られた多結晶性の半導体膜表面には200オングストロームを超えるような大きな凹凸が形成されないため、ゲート絶縁膜を1000オングストロームにまで薄くしてTFTのしきい値電圧を低下させてもゲート耐圧が低下しない。それ故、本形態によれば、マイナージャンク電圧が低く、かつ、信頼性の高いTFTを製造することができる。過度にアニールしないように、照射回数を200回以下にとめているので、オン電流の大きなTFTを製造できる。

【0075】実施形態2 本形態では、基本的なプロセスは、実施形態1と同様であるので、その説明を省略するが、エッチング工程からレーザーアニール工程を短時間で行うものを行うことを目的に、図13に示す半導体膜処理装置を用いて

【0076】図13は、本形態の半導体膜処理装置600の概略構成図である。図13に示すように、本形態の半導体膜処理装置600には、非晶質の半導体膜を形成した基板の搬入、および非晶質の半導体膜に対してレーザーアニールによって半導体膜を多結晶化した基板の搬出

を行うためのカセット方式のローダ・アンローダ部610と、基板上の非晶質の半導体膜表面に対してフッ化水素を含むエッチング液(HF、 $H_2O=1:50$ のエッチング液)を用いてエッチングを行うためのドライエッチ方式のウェットエッチング装置620と、このウェットエッチングを行った後の基板上の非晶質の半導体膜表面に水(洗浄液)でドライ洗浄を施す洗浄装置630と、基板上の非晶質の半導体膜表面に付着した水を乾燥、除去する乾燥装置640と、乾燥を終えた基板上の非晶質の半導体膜に対してレーザアニールを行うレーザアニール装置650とが構成されている。このレーザアニール装置650は、真空ロードロック651、レーザアニール用チャンバー652、レーザ光学系325、レーザ光源320などで構成されている。また、半導体膜処理装置600には、ローダ・アンローダ部610に搬入された基板をウェットエッチング装置620、洗浄装置630、乾燥装置640、およびレーザアニール装置650に搬送した後、ローダ・アンローダ部610に戻す搬送機構660が構成されている。ここで、搬送機構660は、ローダ・アンローダ部610に搬入された基板をウェットエッチング装置620に搬送する第1の搬送系661と、ウェットエッチング装置620から洗浄装置630に基板を搬送するコンベア方式の第2の搬送系662と、洗浄装置630から乾燥装置640に基板を搬送する第3の搬送系663とが構成されている。なお、乾燥装置640からレーザアニール装置650への基板の搬送、およびレーザアニール装置650からローダ・アンローダ部610への基板の搬送は第1の搬送系661が行う。

【0077】この半導体膜処理装置600では、非晶質の半導体膜の形成された基板がカセットに入れられた状態でローダ・アンローダ部610に搬入されると、搬送機構660の第1の搬送系661は、カセットより基板を取り出してウェットエッチング装置620に搬入する。このウェットエッチング装置620では、コンベア方式の第2の搬送系662により基板が搬送され、エッチング液がシャワーとして基板にかかり、基板に形成されている非晶質の半導体膜表面の酸化膜が完全に除去される。続いて、基板は、コンベア方式の第2の搬送系662により排水用の排水シャワーを用いた洗浄装置630に搬送され、超音波振動を加えた純水シャワーによりエッチング液が除去される。

【0078】次に、搬送機構660の第3の搬送系663は、基板をアヒール式の乾燥装置640に入れる。ここで基板は高速に回転して、基板より水分が遠心力により除去される。次に、搬送機構660の第1の搬送系661は、基板を乾燥装置640より真空ロードロック651に入れ、ここで真空引きされた後、基板は、レーザアニール装置650のチャンバー652内に搬入される。ここで、レーザアニール用のチャンバー652内

は、真空あるいは不活性ガスを用いた非酸化性の雰囲気と設定されており、この非酸化性の雰囲気内で基板上の非晶質の半導体膜はレーザアニールを受ける。その結果、基板上の非晶質の半導体膜は多結晶性の半導体膜となる。しかる後に、搬送機構660の第1の搬送系661は、基板をレーザアニール用のチャンバー652内から真空ロードロック651に移す。そして、搬送機構660の第1の搬送系661は、基板をローダ・アンローダ部610のカセットに戻す。以下、すべての基板に対し同様な処理が行われる。

【0079】このように、本形態の半導体膜処理装置600では、エッチング装置620とレーザアニール装置650とが一体になっているので、非晶質の半導体膜に対するエッチング後、レーザアニール工程まで基板を短時間で搬送できる。従って、ウェットエッチング後の非晶質の半導体膜表面に厚い酸化膜が形成されない。それ故、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/50以下に制御でき、そのので、レーザアニール工程を行った後多結晶性の半導体膜の表面の凹凸の大きさをゲート絶縁膜の厚さの1/5以下とし、ゲート耐圧の低下を10%以内に収めることができる。

【0080】〔実施の形態3〕本形態でも、基本的なプロセスは、実施の形態2と同様であるので、その詳細な説明を省略するが、エッチング工程からレーザアニール工程を短時間で行うことを目的に、図11に示す半導体膜処理装置を用いる。また、この半導体膜処理装置はエッチング工程としてドライエッチングを行うように構成されている。

【0081】図11において、半導体膜処理装置700には、非晶質の半導体膜が形成された基板の搬入、および非晶質の半導体膜に対するレーザアニールによって半導体膜を多結晶化した基板の搬出を行うためのカセット方式のローダ・アンローダ部710と、基板上の非晶質の半導体膜に対してフッ化水素を含むエッチング液を用いてエッチングを行うためのガス・RF供給部722を備えるドライエッチング装置720と、このドライエッチング装置720でドライエッチングを行った後の基板上の非晶質の半導体膜に対してレーザアニールを行うレーザアニール装置750とが構成されている。また、半導体膜処理装置700には、ローダ・アンローダ部710に搬入された基板をドライエッチング装置720、およびレーザアニール装置750に搬送した後、ローダ・アンローダ部710に戻す搬送機構760と、基板の搬送経路を非酸化性雰囲気と保持するチャンバ790とが構成されている。このように、この半導体膜処理装置700では、基板が真空中で搬送されるため、レーザアニール装置750は、レーザアニール用チャンバー752、レーザ光学系325、レーザ光源320などで構成され、真空ロードロックが配置されていない。

【0082】この半導体膜処理装置700では、非晶質の半導体膜の形成、ウェーブ洗浄、超音波振動を加えた純水シャワーによる1分程度のリンス、およびスピンドル乾燥を行った基板がカセットに入れられた状態でローダ・アンローダー部710に搬入されると、搬送機構760は、カセットより基板を取り出してドライエッチング装置720に搬入する。このドライエッチング装置720では、 $\text{CHF}_3$  ガスで30秒間、エッチングが行われ、基板に形成されている非晶質の半導体膜表面から酸化膜が除去される。次に、搬送機構760は、基板をレーザアニール装置750のチャンバ内部に搬入する。ここで、レーザアニール用のチャンバ内部は、真空あるいは不活性ガスをを用いた非酸化性の雰囲気と設定されており、この非酸化性の雰囲気内で基板上の非晶質の半導体膜はレーザアニールを受ける。その結果、基板上の非晶質の半導体膜は多結晶性の半導体膜となる。しかる後に、搬送機構760は、基板をレーザアニール用のチャンバ内部から取り出してローダ・アンローダー部710のカセットに戻す。以下、すべての基板に対して同様な処理が行われる。この間、ハフリング790内は真空に保た

れている。

【0083】このような半導体膜処理装置700によれば、エッチング装置720とレーザアニール装置750とが一体になっており、かつ、これらの装置間で基板を搬送する際に基板表面の非晶質の半導体膜が酸化性雰囲気とさらされないため、ドライエッチング後の非晶質の半導体膜表面に酸化膜が形成されない。それ故、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/5以下に制御できると、レーザアニール工程を行った後の多結晶性の半導体膜の表面の凹凸の大きさをゲート絶縁膜の厚さの1/5以下とし、ゲート耐圧の低下を10%以内にとめることができる。

【0084】〔実施形態4〕本形態では、図3(B)に示すように、基板30の表面に非晶質の半導体膜を形成した後、図3(C)に示すように、アニール工程を行うまでの間、非晶質の半導体膜の表面を非酸化性雰囲気中に保持し、酸化性雰囲気は一切、晒さない。従って、レーザアニール工程を行う時点で非晶質の半導体膜の表面に酸化膜が形成されていないので、レーザアニール工程を行った後の多結晶性の半導体膜の表面に凹凸がほとんど形成されない。それ故、この半導体膜を能動層として用いたTFTでは、ゲート耐圧の低下が発生しない。

【0085】このような方法を実施するためには、本形態では、図15に示す半導体膜処理装置800を用いる。この半導体膜処理装置800では、基板の搬入および基板の搬出を行うためのローダ・アンローダー部810と、基板上に非晶質の半導体膜を形成するためのガス・RF供給部87とを備える成膜装置870（CVD成膜装置）と、この成膜装置870で形成した基板上の非晶

質の半導体膜に対してレーザアニールを行うレーザアニール装置850とが構成されている。また、半導体膜処理装置800では、ローダ・アンローダー部810に搬入された基板を成膜装置870およびレーザアニール装置850に搬送した後、ローダ・アンローダー部810に戻す搬送機構860と、基板の搬送経路を非酸化性雰囲気に保持するハフリング890とが構成されている。

【0086】このように構成した半導体膜処理装置800では、基板がカセットに入れられた状態でローダ・アンローダー部810に搬入されると、搬送機構860は、カセットより基板を取り出して枚葉式の成膜装置870に搬入する。この成膜装置870では、基板の全面に1000Å程度のストロームのプラズマCVDあるいは低圧CVD法により形成する。次に、搬送機構860は、基板をレーザアニール装置850のチャンバ内部に搬入する。ここで、レーザアニール用のチャンバ内部は、真空あるいは不活性ガスをを用いた非酸化性の雰囲気と設定されており、この非酸化性の雰囲気内で基板上の非晶質の半導体膜をレーザアニールを受ける。その結果、基板上の非晶質の半導体膜は多結晶性の半導体膜となる。しかる後に、搬送機構860は、基板をレーザアニール用のチャンバ内部から取り出してローダ・アンローダー部810のカセットに戻す。以下、すべての基板に対して同様な処理が行われる。この間、ハフリング890内は真空に保たれている。

【0087】このように本形態の半導体膜処理装置800では、成膜装置870とレーザアニール装置850とが一体になっており、かつ、これらの装置間で基板を搬送する際に真空中で基板が扱われる。従って、基板表面の非晶質の半導体膜は酸化性雰囲気とさらされないため、非晶質の半導体膜表面に酸化膜が形成されない。従って、レーザアニール工程を行う時点で非晶質の半導体膜の表面に酸化膜が形成されていないので、レーザアニール工程を行った後の多結晶性の半導体膜の表面に凹凸がほとんど形成されない。それ故、この半導体膜を能動層として用いたTFTでは、ゲート耐圧の低下が発生しない。

【0088】〔液晶パネルの構成〕このような方法で形成されたTFTの使用例として、このTFTを画素スイッチング用および駆動回路用にアクティブマトリクス基板に形成した例を説明する。

【0089】図16および図17はそれぞれ、本形態に係る液晶表示装置に用いる電気光学装置を対向基板の側からみた平面図（および図16のH-H'線にて切断したときの電気光学装置の断面図）である。

【0090】これらの図において、液晶表示装置に用いる電気光学装置1は、画素電極81（トリクス状に形成されたアクティブマトリクス基板11と、対向電極31）が形成された対向基板12と、これらの基板間に封入

挟持されている液晶39とから概略構成されている。アクティブマトリクス基板11と対向基板12とは、対向基板12の外周縁に沿って形成されたギャップ材含有のシール材52によって所定の間隔を介して隔り合わされている。また、アクティブマトリクス基板11と対向基板12の間には、シール材52によって液晶封入領域40が区画形成され、この液晶封入領域40内に液晶39が封入されている。この液晶封入領域40内において、アクティブマトリクス基板11と対向基板12の間にはスペーサ37を介在させることもある。但し、電気光学装置1を投射型表示装置のライトバルブとして用いる場合には、このスペーサ37の像が投射されることを防止するためにスペーサ37の配置を省略するのが一般的である。シール材52としては、エポキシ樹脂や各種の紫外線硬化樹脂などを用いることができる。また、シール材52に配合されるギャップ材としては、約2 $\mu\text{m}$ ～約10 $\mu\text{m}$ の無機あるいは有機質のパーティクル若しくは球などが用いられる。

【0091】対向基板12はアクティブマトリクス基板11よりも小さく、アクティブマトリクス基板11の周辺部分は、対向基板12の外周縁よりはみ出した状態に貼り合わされる。従って、アクティブマトリクス基板11の駆動回路（走査線駆動回路70やデータ線駆動回路60）や入出力端子45は対向基板12から露出した状態にある。ここで、シール材52は部分的に途切れているので、この途切れ部分によって、液晶注入口241が構成されている。このため、対向基板12とアクティブマトリクス基板11とを貼り合わせた後、シール材52の内側領域を減圧状態にすれば、液晶注入口241から液晶39を減圧注入でき、液晶39を封入した後、液晶注入口241を封止剤242で塞げばよい。なお、対向基板12には、シール材52の内側において画面表示領域7を見切りするための遮光膜51も形成されている。また、対向基板12のコーナ部分のいずれにも、アクティブマトリクス基板30と対向基板12との間で電気的導通をとるための導通材56が形成されている。

【0092】ここで、走査線に供給される走査信号の遅延が問題にならないならば、走査線駆動回路70は片側だけでも良いことは言うまでもない。また、データ線駆動回路60を画面表示領域7の辺に沿って両側に配列しても良い。例えば奇数列のデータ線は画面表示領域7の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は画面表示領域7の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしても良い。このようにデータ線を備わった駆動回路のようにすれば、データ線駆動回路60の形成面積を拡張することが出来るため、複雑な回路を構成することが可能となる。また、アクティブマトリクス基板11において、データ線駆動回路60と対向する側の側では、遮光膜51が下などを利用して、グリッド

や回路や検査回路が設けられることもある。なお、データ線駆動回路60および走査線駆動回路70をアクティブマトリクス基板11の上に形成する代わりに、たとえば、駆動用LSIが実装されたTAB（テープ・オートマテッド・ボンディング）基板をアクティブマトリクス基板11の周辺部に形成された端子群に対して單方向性導電膜を介して電気的および機械的に接続するようにしてもよい。また、対向基板12およびアクティブマトリクス基板11の光入射側の面あるいは光出射側には、使用する液晶39の種類、すなわち、TN（ツイストネッドメサティック）モード、STN（スーパーTN）モード等々の動作モードや、スーパーホライズモード、スーパーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置される。

【0093】本形態の電気光学装置1を透過型で構成した場合には、たとえば、投射型液晶表示装置（液晶プロジェクタ）において使用される。この場合、3枚の電気光学装置1がRGB用のライトバルブとして各々使用され、各電気光学装置1の各々には、RGB色分解用のダイクロイックカラーを介して分解された各色の光が投射光として各々入射されることになる。従って、本形態の電気光学装置1にはカラーフィルタが形成されていない。但し、対向基板12において各画素電極8に対向する領域にRGBカラーフィルタをその保護膜とともに形成することにより、投射型液晶表示以外にも、カラー液晶テレビなどといったカラー液晶表示装置を構成することができる。さらにまた、対向基板12に何層もの屈折率の異なる干渉層を積層することにより、光の干渉作用を利用して、RGB色をより鮮やかにダイクロイックカラーフィルタを形成してもよい。このダイクロイックカラーフィルタ付きの対向基板によれば、より明るいカラー表示を行うことができる。

【0094】（アクティブマトリクス基板の構成）図18は、アクティブマトリクス基板11の構成を模式的に示すブロック図である。図18に示すように、液晶表示装置用のアクティブマトリクス基板11には、データ線90および走査線91に接続する画素スイッチング用のTFT10と、このTFT10を介してデータ線90から画像信号が入力される液晶セル94が存在する。データ線90に対しては、シフトレジスタ81、レジスタ82とデマルチプレクサ7、アナログスイッチ86を備えるデータ線駆動回路60が形成されている。走査線91に対しては、シフトレジスタ83およびレベルシフト84を備える走査線駆動回路70が形成されている。

【0095】また、画素領域には、容量線92と之間に保持容量10（容量素子）が形成され、この保持容量10は、液晶セル94での電荷の保持特性を高める機能を有している。なお、保持容量10は前段の走査線91と之間に形成されることもある。

【0096】(対向基板の構成)図19は、電気光学装置1の端部の断面図である。図19において、対向基板12は、画素電極8の各々に向けて盛り上がった複数のマイクロレンズ430(小さな凸レンズ)がアクティブマトリクス基板30の画素電極8に対応してマトリクス状に形成されたレンズアレイ基板13と、このレンズアレイ基板13に対してマイクロレンズ430を覆うように接合剤48により貼り合わされた透明な薄板ガラス49とを有している。この薄板ガラス49の表面には対向電極31が形成され、この対向電極31の表面のうち、マイクロレンズ430の境界領域に対応する領域には遮光膜6が形成されている。薄板ガラス49の表面において、対向電極31および遮光膜6の表面には、シリコン酸化膜または有機膜からなる表面保護膜44が形成され、この表面保護膜44の表面にポリイミド膜からなる配向膜47が形成されている。この配向膜47は、アクティブマトリクス基板11の配向膜46と同様、レーヨシ系繊維からなるバブ布で一定方向に擦るラビング処理が施された膜である。

【0097】このような構成の対向基板12を用いた電気光学装置1では、対向基板12の側から入射した光のうち、TFT10のチャネル形成領域などに照射される光は遮光膜6によって遮られるとともに、斜めに入射した光などは各マイクロレンズ430によって各画素電極8に向けて集光される。従って、対向基板12の側に形成した遮光膜6の幅が狭くても、あるいは対向基板12の側に遮光膜6がなくても、マイクロレンズ430によってTFT10のチャネル形成領域に光が入射することを防止することができる。それ故、TFT10のトランジスタ特性の劣化を防止することができるので、信頼性を向上させることができる。また、対向基板12の側に形成した遮光膜6の幅を狭くでき、あるいは対向基板12の側から遮光膜6を省略してもよいので、表示に寄与する光量が遮光膜6によって減少するのを防止することができる。従って、液晶表示装置においてコントラストと明るさを大幅に向上させることができる。

【0098】このような構成の対向基板12においてマイクロレンズ430の形成領域の周辺領域120、あるいはアクティブマトリクス基板11の外周縁よりやや内側領域にギャング材含有のシール材52が塗布され、このシール材52によって、対向基板12とアクティブマトリクス基板11とが貼り合わされている。

【0099】電気光学装置が電子機器へ適用(次)に、電気光学装置1を備えた電子機器の一例を図20および図21を参照して説明する。

【0100】まず、図20には、上記の各形態に係る電気光学装置1と同様に構成された電気光学装置を備えた電子機器の構成をブロック図で示している。

【0101】図20において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1

004、電気光学装置1006、クロック発生回路1008、および電源回路1010を含んで構成される。表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスクなどのメモリ、データ信号の画像信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、所定のフォーマットの画像信号を処理して表示情報処理回路1002に出力する。この表示情報出力回路1002は、たとえば増幅・極性反転回路、相展開回路、ローチージャック回路、ガンマ補正回路、あるいはクランプ回路等の周知の各種処理回路を含んで構成され、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKとともに駆動回路1004に出力する。駆動回路1004は、電気光学装置1006を駆動する。電源回路1010は、上述の各回路に所定の電源を供給する。なお、前記した電気光学装置1のように、電気光学装置1006を構成するアクティブマトリクス基板11の上に駆動回路1004を形成してもよい。それに加えて、表示情報処理回路1002もアクティブマトリクス基板11の上に形成してもよい。

【0102】このような構成の電子機器としては、電気光学装置1を透過型で構成した場合には、図21を参照して後述する投射型液晶表示装置(液晶プロジェクタ)、マルチメディア対応のパーソナルコンピュータ(PC)、およびモバイルデバイス・ウェアラブル・デバイス(EWS)、ケーシング、あるいは携帯電話、ワードプロセッサ、テレビ、スーパーディスプレイ型またはモニタ型テレビ、ビデオカメラ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タクトレスなどを挙げることができる。

【0103】図21に示す投射型液晶表示装置1100は、前記の駆動回路1004がアクティブマトリクス基板11上に搭載された電気光学装置1を含む液晶セルを3個準備し、各々RGB用(ライトカラー100R、100G、100Bとして用いたプロジェクタとして構成されている。この液晶プロジェクタ1100では、メタルハライドランプなどの白色光源のランプユニット1102から光が射出されると、3枚のカラー1106および2枚のダイクロイックミラー1108によって、R、G、Bの3原色に対応する光成分R、G、Bに分離され(光分離手段)、対応するライトカラー100R、100G、100B(電気光学装置100・液晶セルパネル)に投影される。この際、各成分Bは光路が長いので、その損失を防ぐために入射レンズ1122・リレーレンズ1123、および射出レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトカラー100R、100G、100Bによって各々変調された3原色に対応する光成分R、G、Bは、ダイクロイックプリズム1112(合成手段)に

10

20

30

40

50

3方向から入射され、再度合成された後、投射レンズ1114を介してスクリーン1120などにカラー画像として投射される。

#### 【0104】

【発明の効果】以上説明したように、本発明に係るTFTの製造方法では、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/5以下とし、かつ、レーザ光の照射回数を最適化することにより、レーザアニール工程を行った後の多結晶性の半導体膜の表面の凹凸の大きさをゲート絶縁膜の厚さの1/5以下とする。従って、非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた場合でも、薄いゲート絶縁膜を形成しなくてもゲート耐圧の低下を10%以下に抑えることができるなど、ゲート耐圧およびしきい値電圧などの面で良好なトランジスタ特性を有するTFTを製造できる。

#### 【図面の簡単な説明】

【図1】アクティブマトリクス基板に形成された画素の構成を示す平面図である。

【図2】図1のA-A'線における断面図である。

【図3】(A)～(C)は、図1に示すTFTの製造方法を示す工程断面図である。

【図4】図3(C)で行うレーザアニール工程で用いるレーザアニール装置の概略構成図である。

【図5】(A)～(E)は、図1に示すTFTの製造方法において図3に示す工程に続いて行う各工程を示す工程断面図である。

【図6】(A)～(E)は、図1に示すTFTの製造方法において図5に示す工程に続いて行う各工程を示す工程断面図である。

【図7】(A)～(D)は、図1に示すTFTの製造方法において図6に示す工程に続いて行う各工程を示す工程断面図である。

【図8】(A)～(D)は、図1に示すTFTの製造方法において図7に示す工程に続いて行う各工程を示す工程断面図である。

【図9】図1に示すTFTの製造方法において、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さと、レーザアニール後の多結晶性の半導体膜の表面の凹凸の大きさとの関係を示すグラフである。

【図10】図1に示すTFTの製造方法において、多結晶性の半導体膜の表面の凹凸と、ゲート耐圧との関係を示すグラフである。

【図11】図1に示すTFTの製造方法において、レーザアニール工程でのレーザ光の照射条件(半導体膜表面の1箇所からみたときのレーザ光の照射回数)と、非晶質の半導体膜から多結晶性の半導体膜に相転移させた後の半導体表面の凹凸の大きさとの関係を示すグラフである。

【図12】図1に示すTFTの製造方法において、レーザアニール工程を行う時点で半導体膜表面に酸化膜が存在しない場合、および半導体膜表面に厚い酸化膜が存在している場合におけるレーザアニール工程でのレーザ光の照射条件(半導体膜表面の1箇所からみたときのレーザ光の照射回数)と、このアニール工程によって得られた多結晶性の半導体膜から形成したTFTのオン電流の大きさとの関係を示すグラフである。

【図13】本発明に係るTFTの製造方法に用いた半導体膜処理装置の概略構成図である。

【図14】本発明に係るTFTの製造方法に用いた別の半導体膜処理装置の概略構成図である。

【図15】本発明に係るTFTの製造方法に用いたさらに別の半導体膜処理装置の概略構成図である。

【図16】本発明を適用したアクティブマトリクス型の液晶表示装置用の電気光学装置の平面図である。

【図17】図16のH-H'線における断面図である。

【図18】図16に示すアクティブマトリクス基板のブロック図である。

【図19】図16に示す電気光学装置の端部を拡大して示す断面図である。

【図20】図16および図17に示す電気光学装置の使用例を示す電子機器の回路構成を示すブロック図である。

【図21】図16および図17に示す電気光学装置の使用例を示す投射型液晶表示装置の全体構成図である。

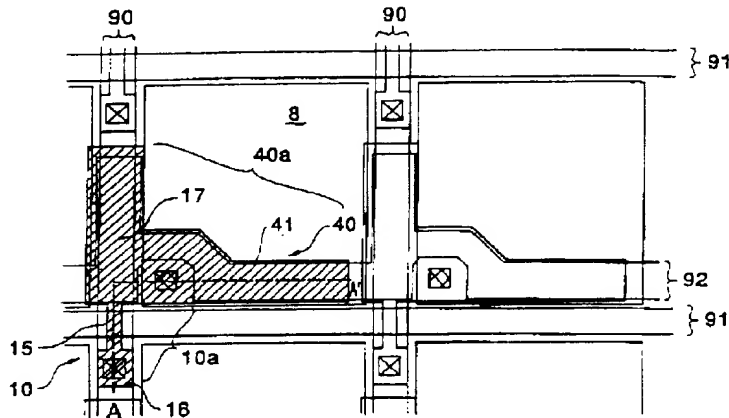
#### 【符号の説明】

- 1 電気光学装置
- 8 画素電極
- 10 画素マイコン用TFT
- 11 アクティブマトリクス基板
- 12 対向基板
- 13 ゲート絶縁膜
- 39 液晶
- 43 シフトレジスタ基板
- 52 シェル材
- 90 駆動線
- 94 液晶セル
- 100 半導体膜
- 320 レーザ光源
- 325 レーザ光学系
- 600 700、800 半導体膜処理装置
- 610 710、820 ロード・アンローダー部
- 620 ウェル・ホールドング装置
- 630 洗浄装置
- 640 乾燥装置
- 650、750、850 レーザアニール装置
- 651 真空中乾燥装置
- 652、752、852 レーザアニール用チャンバー
- 660、760、860 搬送機構

- 661 第1の搬送系  
 662 第2の搬送系  
 663 第3の搬送系  
 720 ドライエッチング装置

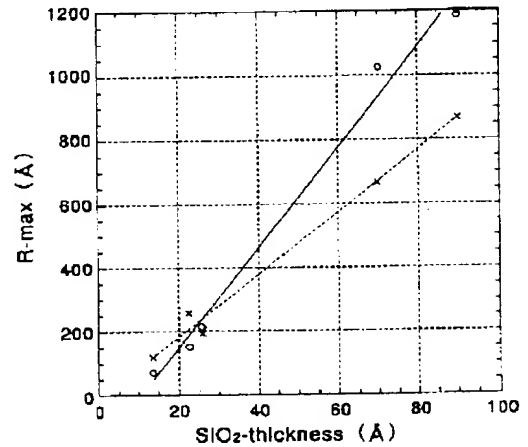
- 722、872 ガス・RF供給部  
 790、890 ハウジング  
 870 成膜装置

【図1】

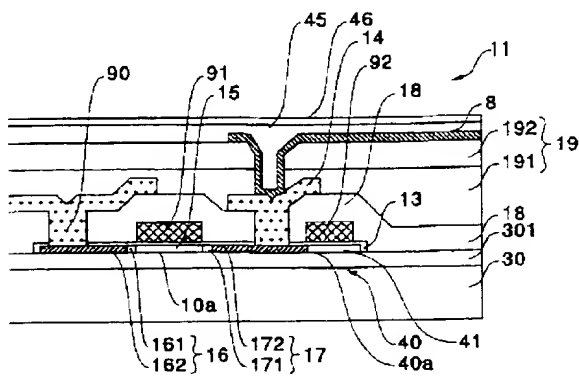


〈画素平面図〉

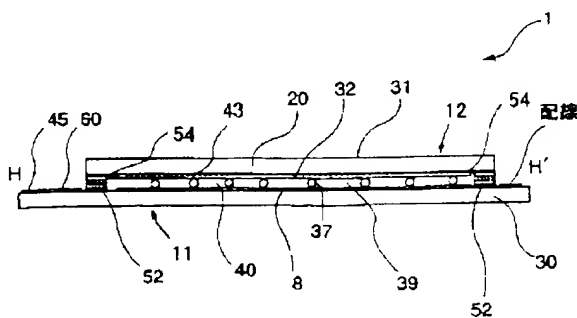
【図9】



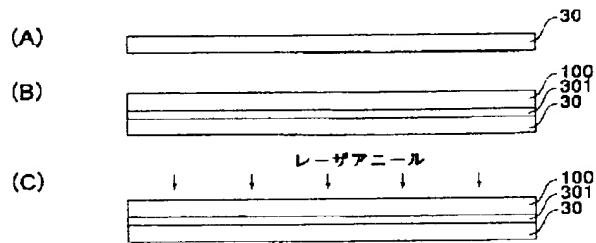
【図2】



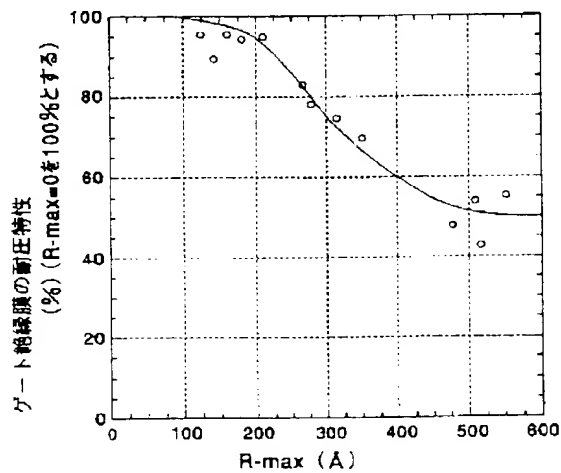
【図17】



【図3】

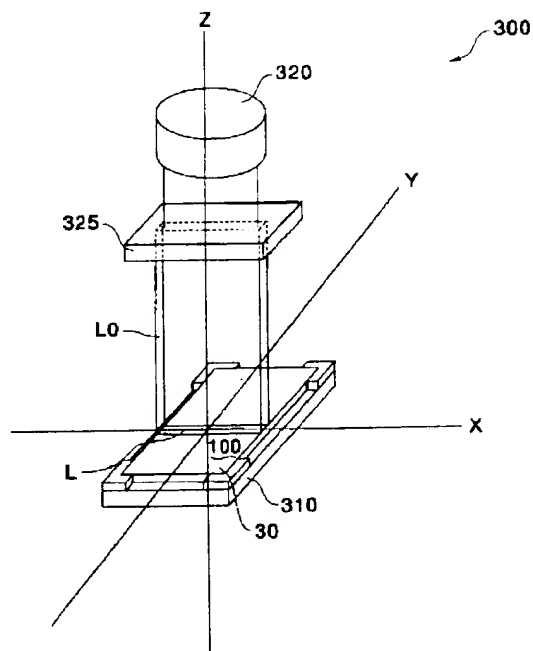


【図10】

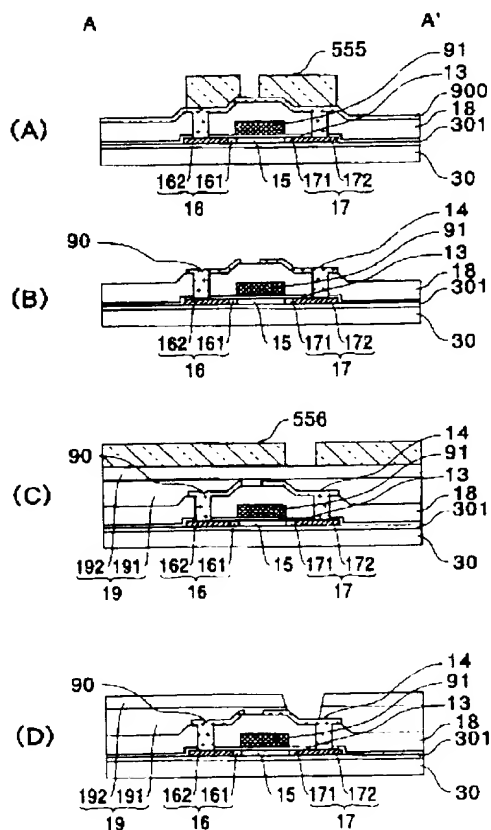




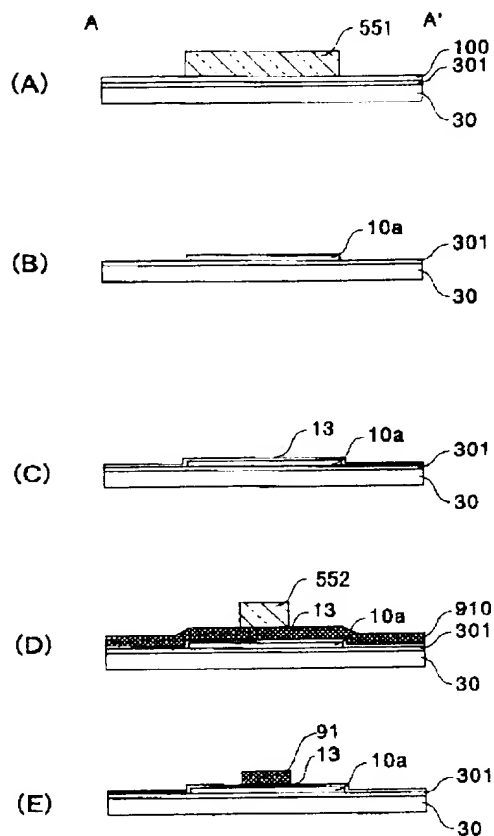
【図4】



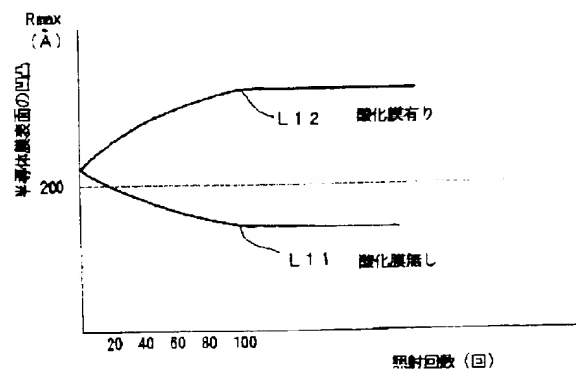
【図7】



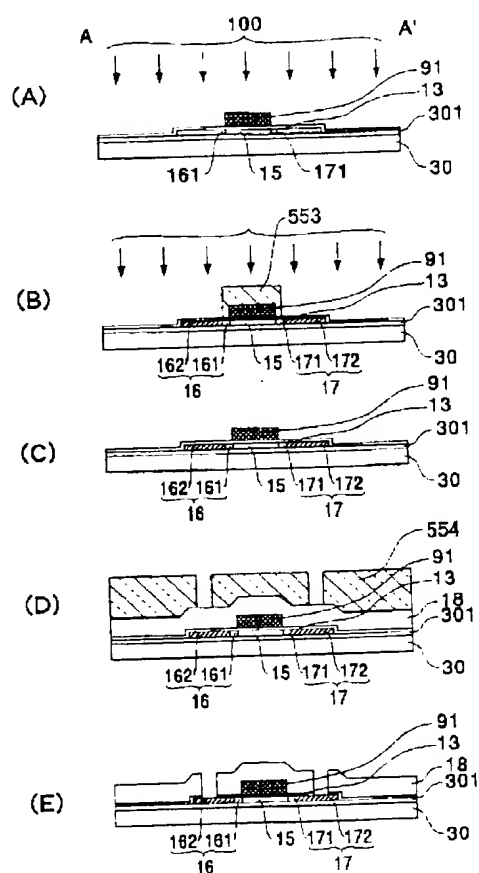
【図5】



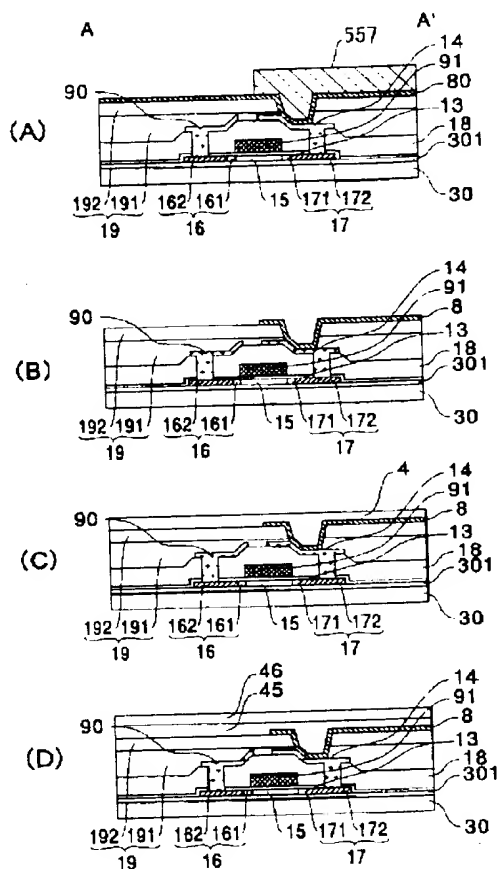
【図11】



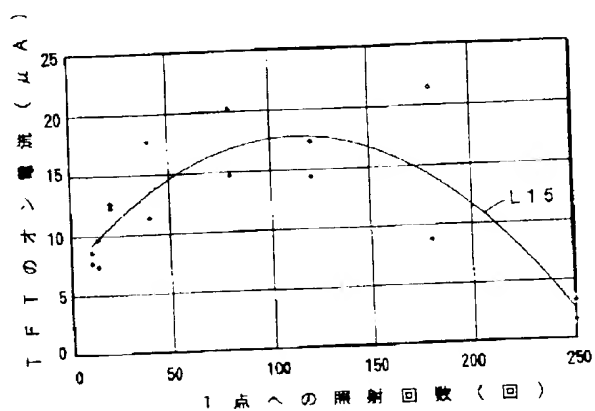
【図 6】



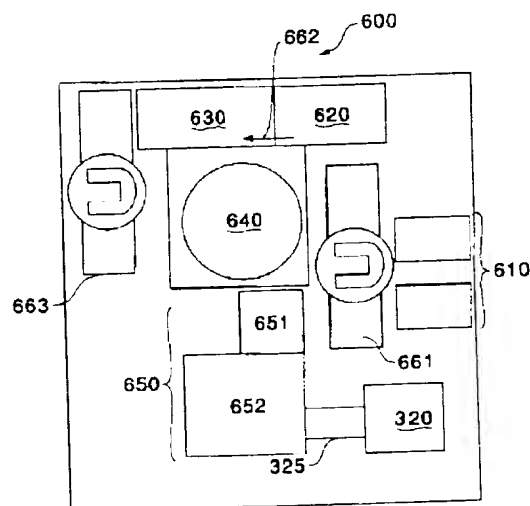
【図 8】



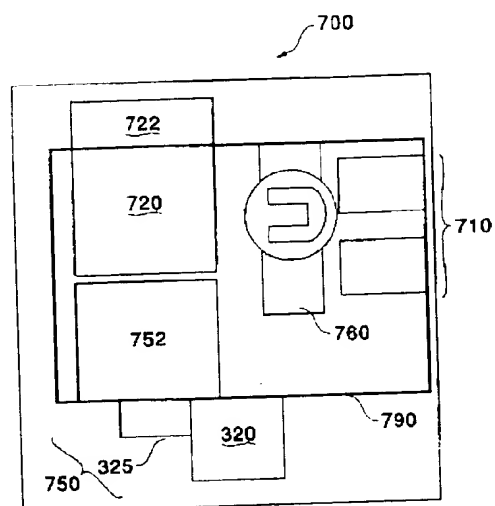
【図 12】



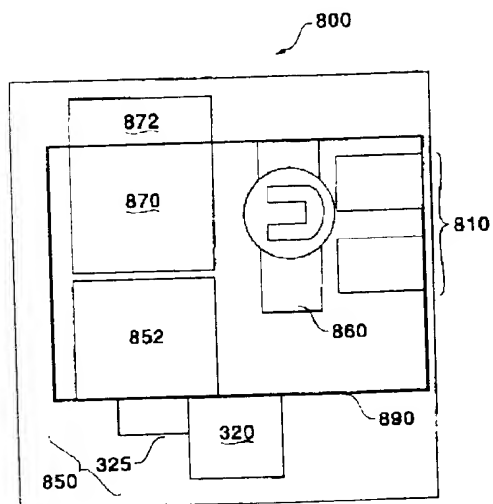
【図 13】



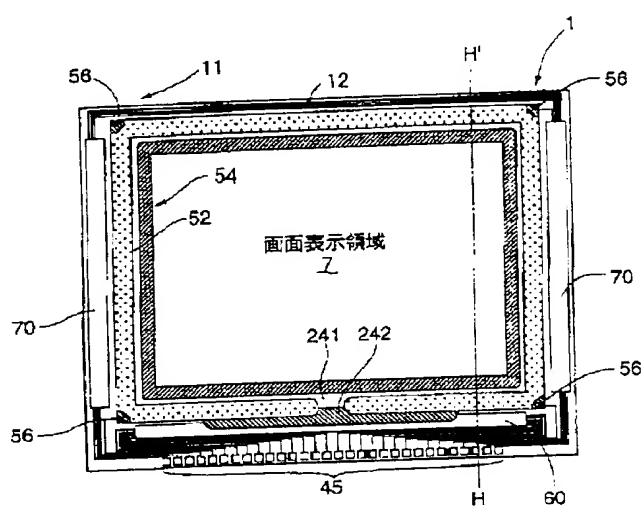
【図14】



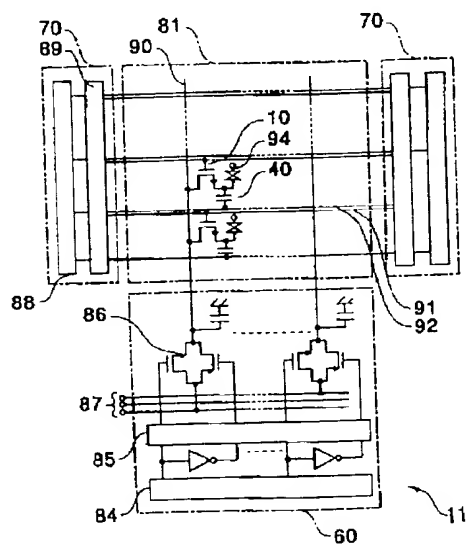
【図15】



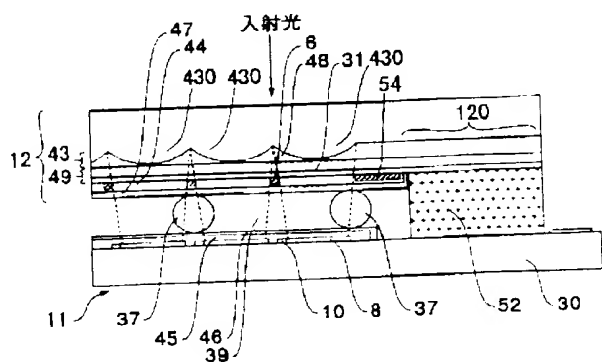
【図16】



【図18】



【図19】





フロントページの続き

F ターム(参考) 2H092 GA36 GA51 JA25 JA35 JB69  
KA05 KA10 KA12 KB25 MA05  
MA07 MA08 MA18 MA30 MA37  
MA41 NA22 PA03 PA04 PA08  
PA09 PA10 PA11 QA07 QA10  
RA05  
5F052 AA02 BA07 BB07 CA08 DA02  
DB03 EA01 EA15 FA00 JA01  
JA10  
5F110 AA06 AA08 AA12 BB01 BB02  
BB04 CC02 DD02 DD13 DD24  
DD25 EE04 EE27 FF02 FF03  
FF23 FF29 FF30 GG02 GG13  
GG24 GG25 GG26 GG45 GG47  
HJ01 HJ04 HJ13 HL03 HL23  
HM14 HM15 HM17 HM18 NN03  
NN04 NN22 NN23 NN27 NN35  
NN36 NN40 NN72 PP03 PP04  
PP05 PP06 PP13 PP26 QQ05  
QQ11 QQ30